(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 205510033 U
(45)授权公告日 2016.08.24

(21)申请号 201620168699.7

(22)申请日 2016.03.04

(30)优先权数据
2015-049068 2015.03.12 JP

(73)专利权人 瑞萨电子株式会社
地址 日本东京都

(72)发明人 松野典朗

(74)专利代理机构 北京市金杜律师事务所 11256
代理人 李辉 董典红

(51)Int.Cl.
H04B 1/40(2015.01)

(ESM)同样的发明创造已同日申请发明专利

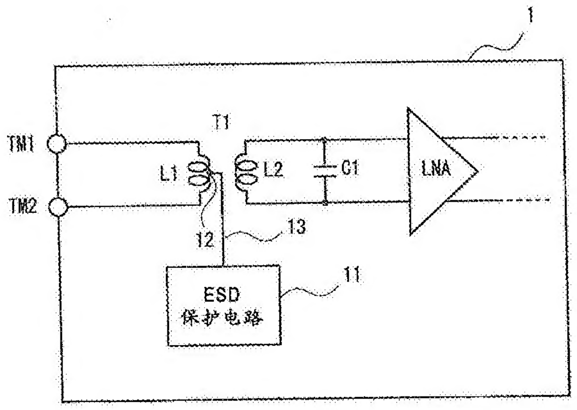
权利要求书2页 说明书10页 附图14页

(54)实用新型名称

半导体集成电路、通信模块和智能仪表

(57)摘要

本申请涉及半导体集成电路、通信模块和智能仪表。一种半导体集成电路，包括：低噪声放大器电路、变压器和ESD保护电路。低噪声放大器电路对被供给到输入端子的无线电信号进行放大。变压器包括第一绕组和第二绕组，并且用作用于低噪声放大器电路的输入阻抗匹配电路，其中第二绕组的至少一端被连接到低噪声放大器电路的输入端子。ESD保护电路被连接到第一绕组的中心抽头。根据本申请的方案，可以使包括ESD保护电路的半导体集成电路微型化。



CN 205510033 U

1.一种半导体集成电路，其特征在于，包括：

低噪声放大器电路，所述低噪声放大器电路对无线电信号进行放大，所述无线电信号被供给到输入端子；

变压器，所述变压器包括第一绕组和第二绕组，并且用作用于所述低噪声放大器电路的输入阻抗匹配电路，所述第二绕组的至少一端被连接到所述低噪声放大器电路的所述输入端子；以及

ESD保护电路，所述ESD保护电路被连接到所述第一绕组的中心抽头。

2.根据权利要求1所述的半导体集成电路，其特征在于

当距离所述第一绕组的一端的长度与距离所述第一绕组的另一端的长度相等的位置为P_M并且从所述第一绕组的所述一端到所述另一端的长度为L时，所述中心抽头被设置在距离位置$P_M \pm L \times 0.1$的范围内。

3.根据权利要求1所述的半导体集成电路，其特征在于

包括在所述变压器中的所述第一绕组和所述第二绕组是形成在半导体衬底上的螺旋电感器。

4.根据权利要求3所述的半导体集成电路，其特征在于

所述ESD保护电路包括形成在所述半导体衬底上的以多级连接的多个二极管。

5.根据权利要求3所述的半导体集成电路，其特征在于

所述ESD保护电路被布置在所述螺旋电感器的中心部分处。

6.根据权利要求1所述的半导体集成电路，其特征在于

至少所述变压器、所述低噪声放大器电路和所述ESD保护电路被集成到一个半导体芯片中。

7.一种半导体集成电路，其特征在于，包括：

发射放大器电路，所述发射放大器电路对发射信号进行放大；

变压器，所述变压器包括第一绕组和第二绕组，并且用作用于所述发射放大器电路的输出阻抗匹配电路，所述第二绕组的至少一端被连接到所述发射放大器电路的输出端子；以及

ESD保护电路，所述ESD保护电路被连接到所述第一绕组的中心抽头。

8.根据权利要求7所述的半导体集成电路，其特征在于

至少所述变压器、所述发射放大器电路和所述ESD保护电路被集成到一个半导体芯片中。

9.一种通信模块，其特征在于，其上安装有根据权利要求1所述的半导体集成电路。

10.一种智能仪表，其特征在于，包括根据权利要求9所述的通信模块。

11.一种半导体集成电路，其特征在于，包括：

接收电路，包括：

低噪声放大器电路，所述低噪声放大器电路对无线信号进行放大，所述无线信号被供给到输入端子；

第一变压器，所述第一变压器包括第一绕组和第二绕组，并且用作用于所述低噪声放大器电路的输入阻抗匹配电路，所述第二绕组的至少一端被连接到所述低噪声放大器电路的所述输入端子；以及

第一ESD保护电路，所述第一ESD保护电路被连接到所述第一绕组的中心抽头；以及

发射电路，包括：

发射放大器电路，所述发射放大器电路对发射信号进行放大；

第二变压器，所述第二变压器包括第三绕组和第四绕组，并且用作用于所述发射放大器电路的输出阻抗匹配电路，所述第三绕组的至少一端被连接到所述发射放大器电路的输出端子；以及

第二ESD保护电路，所述第二ESD保护电路被连接到所述第四绕组的中心抽头。

半导体集成电路、通信模块和智能仪表

技术领域

[0001] 本实用新型涉及半导体集成电路、通信模块和智能仪表，并且例如涉及包括ESD保护电路的半导体集成电路、通信模块和智能仪表。

背景技术

[0002] 近年来，已经广泛使用能够发射和接收高频信号的无线通信装置。在这样的无线电通信装置中，提供用于保护电路元件免于ESD(静电放电)的ESD保护电路。例如，日本未审查专利申请公开No.2011-49235公开了一种包括用于保护电路元件免于静电放电的ESD保护电路的半导体装置。

实用新型内容

[0003] 近年来，已经使在无线电通信装置中使用的半导体集成电路进一步微型化。在半导体集成电路中提供用于保护电路元件免于静电放电的ESD保护电路。然而本发明人发现，大尺寸的ESD保护电路成为半导体集成电路微型化的障碍。

[0004] 现有技术中的其它问题以及本实用新型的新特征将从以下说明书的描述和附图中变得显而易见。

[0005] 本实用新型的一个方面在于提供一种半导体集成电路，其特征在于，包括：低噪声放大器电路，所述低噪声放大器电路对无线电信号进行放大，所述无线电信号被供给到输入端子；变压器，所述变压器包括第一绕组和第二绕组，并且用作用于所述低噪声放大器电路的输入阻抗匹配电路，所述第二绕组的至少一端被连接到所述低噪声放大器电路的所述输入端子；以及ESD保护电路，所述ESD保护电路被连接到所述第一绕组的中心抽头。

[0006] 根据一个实施例，当距离所述第一绕组的一端的长度与距离所述第一绕组的另一端的长度相等的位置为P_M并且从所述第一绕组的所述一端到所述另一端的长度为L时，所述中心抽头被设置在距离位置$P_M \pm L \times 0.1$的范围内。

[0007] 根据一个实施例，该半导体集成电路还包括在所述变压器中的所述第一绕组和所述第二绕组是形成在半导体衬底上的螺旋电感器。

[0008] 根据一个实施例，所述ESD保护电路包括形成在所述半导体衬底上的以多级连接的多个二极管。

[0009] 根据一个实施例，所述ESD保护电路被布置在所述螺旋电感器的中心部分处。

[0010] 根据一个实施例，至少所述变压器、所述低噪声放大器电路和所述ESD保护电路被集成到一个半导体芯片中。

[0011] 本实用新型的另一方面在于提供一种通信模块，其特征在于，其上安装有上述的半导体集成电路。

[0012] 本实用新型的另一方面在于提供一种智能仪表，其特征在于，包括上述的通信模块。

[0013] 本实用新型的另一方面在于提供一种半导体集成电路，其特征在于，包括：发射放

大器电路，所述发射放大器电路对发射信号进行放大；变压器，所述变压器包括第一绕组和第二绕组，并且用作用于所述发射放大器电路的输出阻抗匹配电路，所述第二绕组的至少一端被连接到所述发射放大器电路的输出端子；以及ESD保护电路，所述ESD保护电路被连接到所述第一绕组的中心抽头。

[0014] 根据一个实施例，至少所述变压器、所述发射放大器电路和所述ESD保护电路被集成到一个半导体芯片中。

[0015] 本实用新型的另一方面在于提供一种半导体集成电路，其特征在于，包括：

[0016] 接收电路，包括：

[0017] 低噪声放大器电路，所述低噪声放大器电路对无线信号进行放大，所述无线信号被供给到输入端子；

[0018] 第一变压器，所述第一变压器包括第一绕组和第二绕组，并且用作用于所述低噪声放大器电路的输入阻抗匹配电路，所述第二绕组的至少一端被连接到所述低噪声放大器电路的所述输入端子；以及

[0019] 第一ESD保护电路，所述第一ESD保护电路被连接到所述第一绕组的中心抽头；以及

[0020] 发射电路，包括：

[0021] 发射放大器电路，所述发射放大器电路对发射信号进行放大；

[0022] 第二变压器，所述第二变压器包括第三绕组和第四绕组，并且用作用于所述发射放大器电路的输出阻抗匹配电路，所述第三绕组的至少一端被连接到所述发射放大器电路的输出端子；以及

[0023] 第二ESD保护电路，所述第二ESD保护电路被连接到所述第四绕组的中心抽头。

[0024] 根据上述方面，可以使包括ESD保护电路的半导体集成电路微型化。

附图说明

[0025] 上述以及其它方面、优势和特征将从以下结合附图作出的特定实施例的描述中更加显而易见，其中：

[0026] 图1是用于说明根据第一实施例的智能仪表的框图；

[0027] 图2是示出图1所示智能仪表中包括的通信装置的示例的框图；

[0028] 图3是示出根据第一实施例的半导体集成电路的示例的电路图；

[0029] 图4是用于说明根据第一实施例的半导体集成电路的配置示例的图；

[0030] 图5是示出ESD保护电路的示例的电路图；

[0031] 图6是用于将根据第一实施例的半导体集成电路与根据现有技术的半导体集成电路进行比较的图；

[0032] 图7是沿着图6的线VII-VII所取的横截面图；

[0033] 图8是用于说明根据第一实施例的半导体集成电路的另一配置示例的图；

[0034] 图9是用于说明根据第一实施例的半导体集成电路的另一配置示例的图；

[0035] 图10是示出根据第二实施例的半导体集成电路的示例的电路图；

[0036] 图11是示出根据第三实施例的半导体集成电路的示例的电路图；

[0037] 图12是用于说明根据现有技术的半导体集成电路的图；

[0038] 图13是示出在图12所示半导体集成电路中包括的ESD保护电路和变压器的具体配置示例的图；

[0039] 图14是用于说明图12所示半导体集成电路的使用示例的电路图；

[0040] 图15是用于说明图12所示半导体集成电路的另一配置示例的电路图;以及

[0041] 图16是用于说明图12所示半导体集成电路的另一配置示例的电路图。

具体实施方式

[0042] ＜第一实施例＞

[0043] 如下通过参考图1说明根据第一实施例的智能仪表。

[0044] [智能仪表的配置:图1]

[0045] 图1是用于说明根据本实施例的智能仪表的框图。如图1所示，根据本实施例的智能仪表100包括通信装置101、MCU(微控制器单元)102、测量装置103、电源电路104、存储器105、显示器106和天线ANT。智能仪表100是用于测量从商用电源107向家用电源的负载109供给的电量的装置。

[0046] 通信装置101经由天线ANT向另一设备发送关于已经由智能仪表100测量的电量等的信息。此外，通信装置101经由天线ANT从该另一设备接收预定信息。MCU(102)控制通信装置101、测量装置103、存储器105和显示器106。测量装置103测量流过线路108的电量并向MCU(102)输出关于所测量的电量的信息。MCU(102)将已经由测量装置103测量的关于所测量的电量的信息存储在存储器105中。存储器105可以包括例如DRAM(动态随机存取存储器)。显示器106将各种信息显示在智能仪表100上。例如，液晶显示器可以用于显示器106。例如，通信装置101在读取仪表或与HEMS(家庭能量管理系统)通信时发送存储在存储器105中的电力消耗的记录。

[0047] [通信装置的配置:图2]

[0048] 图2是示出由图1所示的智能仪表100使用的通信装置101的示例的框图。如图2所示，通信装置101包括半导体集成电路113。半导体集成电路113为用于高频的集成电路并且包括半导体芯片。半导体集成电路113包括接收无源电路115、低噪声放大器电路LNA、接收器电路RX、发射器电路TX、发射放大器电路PA、发射无源电路116、本地振荡器SX、调制解调器MODEM、控制电路114和接口I/F。此外，MCU(102)集成到半导体集成电路113中，并且半导体集成电路113由半导体芯片(RF-SoC(片上射频系统))组成。注意，通信装置101可以由其中MCU(102)未安装在半导体集成电路113上的半导体芯片(RF-IC(射频集成电路))组成。通信装置101包括开关电路117。该开关电路117设置在半导体集成电路113(RF-SoC)外部。

[0049] 接收无源电路115具有匹配低噪声放大器电路LNA的输入阻抗的作用，并且用作滤波器电路。低噪声放大器电路LNA将从接收无源电路115供给的无线电信号(经由天线ANT输入的无线电信号)放大。接收器电路RX对已由低噪声放大器电路LNA放大的接收信号执行诸如下变频之类的接收处理。调制解调器MODEM将已经从接收器电路RX供给的接收信号解调，并经由接口I/F将解调后的接收信号供给到MCU(102)。

[0050] 此外，经由接口I/F从MCU(102)向调制解调器MODEM供给发射信号。调制解调器MODEM对所供给的发射信号进行调制并将调制后的发射信号供给到发射器电路TX。发射器电路TX对已经从调制解调器MODEM供给的调制后的发射信号执行诸如上变频之类的发射处

理。发射放大器电路PA将已经从发射器电路TX供给的发射信号放大。发射无源电路116具有匹配发射放大器电路PA的输出阻抗的功能，并且用作滤波器电路。

[0051] 开关电路117在天线ANT和接收无源电路115的连接与天线ANT和发射无源电路116的连接之间进行切换。更具体而言，在接收时开关电路117将天线ANT与接收无源电路115连接，并且在发射时将天线ANT与发射无源电路116连接。而且，经由接口I/F从MCU(102)向控制电路114供给控制信号。控制电路114响应于控制信号而控制通信装置101。

[0052] [对现有技术的说明]

[0053] 接下来，通过参照图12至图16对根据图2所示现有技术的通信装置101说明如下。图12是用于说明根据图2所示现有技术的通信装置101中包括的半导体集成电路113的电路图。如图12所示，半导体集成电路113包括变压器T1、电容性元件C1、低噪声放大器LNA和ESD保护电路111和112，该变压器T1包括端子TM1和TM2以及绕组L1和L2。变压器T1和电容性元件C1用作用于低噪声放大器电路LNA的输入阻抗匹配电路。根据低噪声放大器电路LNA的输入阻抗的值，可以省略电容性元件C1。注意在图12中，在低噪声放大器电路LNA的后续级中的接收器电路和发射器电路、端子TM3和TM4等未示出。

[0054] 如图12所示，变压器T1的绕组L1的一端连接到端子TM1，并且变压器T1的绕组L1的另一端连接到端子TM2。ESD保护电路111连接到变压器T1的绕组L1的该一端(端子TM1)。ESD保护电路112连接到变压器T1的绕组L1的该另一端(端子TM2)。

[0055] 图13是示出在图12所示的半导体集成电路113中包括的ESD保护电路111和112以及变压器T1的具体配置示例的图。如图13所示，变压器T1的绕组L1的一端连接到端子(输入焊盘)TM1，并且变压器T1的绕组L1的另一端连接到端子(输入焊盘)TM2。绕组L1围绕中心轴螺旋地布置。此外，变压器T的绕组L2也围绕与绕组L1共同的中心轴螺旋地布置。通过以此方式布置绕组，可以磁性地耦合绕组L1和L2。绕组L1和L2可以通过使用形成在半导体衬底上的螺旋电感器来形成。

[0056] ESD保护电路111连接到绕组L1的一端。ESD保护电路111可以由彼此并联连接的两个二极管群组D101和D102组成，其中二极管群组D101和D102均包括以多级连接的多个二极管。具体而言，二极管群组D101的阳极侧连接到接地电位GND，并且二极管群组D101的阴极侧连接到绕组L1的一端。此外，二极管群组D102的阴极侧连接到电源电位VDD，并且二极管群组D102的阳极侧连接到绕组L1的一端。

[0057] 类似地，ESD保护电路112连接到绕组L1的另一端。ESD保护电路112可以由彼此并联连接的两个二极管群组D103和D104组成，其中二极管群组D103和D104均包括以多级连接的多个二极管。具体而言，二极管群组D103的阳极侧连接到接地电位GND，并且二极管群组D103的阴极侧连接到绕组L1的另一端。此外，二极管群组D104的阴极侧连接到电源电位VDD，并且二极管群组D104的阳极侧连接到绕组L1的另一端。

[0058] [半导体集成电路(RF-SoC)的使用示例]

[0059] 接下来，如下说明图12所示的半导体集成电路113的使用示例。图14是用于说明图12所示半导体集成电路的使用示例的电路图。在图14所示的使用示例中，接收信号从天线ANT供给到端子TM1，并且端子TM2接地。该使用示例对应于图2所示的半导体集成电路113的使用示例。从天线ANT供给的接收信号是单相信号，并且变压器T1将该单相信号转换成差分信号。由于在变压器T1的随后级中的接收器电路具有用于操控这种差分信号的配置，所以

该配置与用于操控单相信号的配置相比具有对噪声的鲁棒性。

[0060] 而且，在图14所示的使用示例中，经由端子TM2将变压器T1的绕组L1的另一端接地。也就是，变压器T1的绕组L1的另一端在半导体集成电路113外部接地。这样的配置可以防止施加到变压器T1的绕组L1的共模噪声进入在变压器T1的随后级中的接收器电路、电源节点或接地节点。

[0061] 例如在图15所示的半导体集成电路113'中那样，当变压器T1的绕组L1的另一端通过经半导体集成电路113'内部的接地的共同阻抗Z施加到绕组L1的共模噪声而连接到半导体集成电路113'的接地节点时，共模噪声进入半导体集成电路113'内部的接地节点。另一方面，如图14所示，当变压器T1的绕组L1的另一端在半导体集成电路113外部接地时，可以防止共模噪声进入半导体集成电路113内部的接地节点。

[0062] 图16是用于说明图12所示半导体集成电路113的另一使用示例的电路图。在图16的使用示例中，从天线ANT供给的单相接收信号通过外部LC电路120转换成差分信号并且然后被输入到半导体集成电路113。LC电路120可以由例如电感器L11和L12以及电容性元件C11和C12组成。

[0063] LC电路120例如设置在图2所示的通信装置101的端子T1和T2与开关电路117之间。注意，用于将单相信号转换成差分信号的LC电路120仅应布置在从天线ANT到半导体集成电路113的信号路径中，并且不必将LC电路120邻近半导体集成电路113布置。在图16所示的使用示例中，由于差分信号供给到半导体集成电路113的端子TM1和TM2，所以图16所示的配置与图14所示的使用示例的配置相比对外部噪声更具鲁棒性。

[0064] 如在图14和图16中所示的使用示例中那样，半导体集成电路113被配置为支持单相输入和差分相位输入二者。其原因说明如下。

[0065] 由于智能仪表已经在世界范围内使用，作为用于智能仪表的通信标准的IEEE802.15.4g定义了多种通信模式以满足世界上许多国家的通信规则。然而，由于被定义为用于智能仪表的通信模式的通信模式是窄带通信，所以最小接收器灵敏度低。更具体而言，低速窄带通信模式中的最小接收器灵敏度约为-110dBm。此外，在高速宽带通信模式中，最小接收灵敏度约为-80dBm。通常，在使用弱无线电波的通信模式中，期望使用具有对外部噪声有鲁棒性的差分配置的半导体集成电路(RF-IC和RF-SoC)。另一方面，为了降低智能仪表的成本，期望使用作为单相输入并包括阻抗匹配电路的半导体集成电路(RF-IC和RF-SoC)。图12所示的半导体集成电路113支持上述两种使用。

[0066] 可被一种智能仪表支持的通信模式的数目最多为一种至若干种模式。因此，可以分开地制备专用于差分输入的半导体集成电路和用于单相输入的半导体集成电路，并且根据需要使用这些半导体集成电路中的任一种。然而，在半导体集成电路的实际开发中，难以准确地预测噪声的问题，该预测是在设计阶段确定是单相输入还是差分输入合适的关键。必需实际地制造装置来评估单相输入是否可能或者是否需要差分输入。针对装置开发的每个目的，需要这样的评估。因此，当制备可以支持单相输入和差分输入二者的半导体集成电路(RF-IC或RF-SoC)并且半导体集成电路可以通过改变半导体集成电路的安装基底并重新安装芯片部件来在单相输入和差分输入之间进行切换时，可以降低用于半导体集成电路的开发人力成本，因而降低智能仪表的成本。而且，当通过使用支持单相输入和差分输入二者的半导体集成电路(RF-IC或RF-SoC)并行制造用于多种目的的智能仪表时，可以降低部件

采购和投资管理成本。

[0067] [现有技术的问题]

[0068] 在图12所示的半导体集成电路113中，ESD保护电路111和112被设置用于两个端子TM1和TM2，使得保护半导体集成电路113免于静电放电(电涌)。通常，ESD保护电路111和112的区域相当大并且大大地增加半导体集成电路113的区域。因此，已经出现半导体集成电路无法足够微型化的问题。这个问题最终导致智能仪表的成本增加。

[0069] 此外，通常ESD保护电路具有相当大的寄生电容。该寄生电容使半导体集成电路的接收特性恶化并且最终使智能仪表的通信质量恶化。这意味着智能仪表可以安装的地方变得更加受限，由此增加智能仪表的操作和安装的成本。作为特定示例，下面应考虑其中由智能仪表替换常规仪表的情况。根据智能仪表将安装的地方，足够的通信质量仅通过在常规仪表已经安装的地方处安装智能仪表可能是无法实现的。在这样的情况下，必需在可允许范围内调整安装位置，同时执行通信测试，并且这导致在智能仪表的安装中涉及的人员经费的增加。智能仪表的接收性能越低，这种情况出现得越多。作为另一特定示例，如下考虑其中在安装了智能仪表之后建立将作为无线电波干扰的金属仓的情况。当智能仪表的通信质量不足够时，由金属仓的建立引起的环境的这种变化将导致智能仪表的通信的失败。在这样的情况下，需要派遣人员以关于这种失败来执行调研并做一些工作。这导致智能仪表的操作成本的增加。智能仪表的接收性能越低，这种情况出现得越多。下面说明可以解决这种问题的半导体集成电路。

[0070] [半导体集成电路的配置:图3至图5]

[0071] 图3是示出根据本实施例的半导体集成电路的示例的电路图。如图3所示，根据本实施例的半导体集成电路1包括含端子TM1和TM2、绕组L1和L2的变压器T1、电容性元件C1和低噪声放大器电路LNA。这些组件被集成到例如RF-IC和RF-SoC中。根据本实施例的半导体集成电路(接收器电路)1可以用于例如在图2所示的通信装置101中包括的半导体集成电路113(在该情况下用于接收)。注意，尽管图2所示的配置示例示出了其中单相接收信号被供给到半导体集成电路1的情况，但在本实施例中，可以将差分接收信号供给到半导体集成电路1。在这种情况下，针对半导体集成电路1的输入侧，设置用于将单相信号转换成差分信号的转换电路(例如图16所示的LC电路120)。当差分接收信号被供给到半导体集成电路1时，端子TM1和TM2接收差分信号。

[0072] 变压器T1和电容性元件C1用作用于低噪声放大器电路LNA的输入阻抗匹配电路。可以根据低噪声放大器电路LNA的输入阻抗值省略电容性元件C1。注意在图3中，未示出低噪声放大器电路LNA的后续级中的接收器电路。低噪声放大器电路LNA的后续级中的接收器电路与图2所示的半导体集成电路113中的相同。

[0073] 如图3所示，变压器T1的绕组L1的一端连接到端子TM1，以及变压器T1的绕组L1的另一端连接到端子TM2。经由端子TM1和TM2向变压器T1的绕组L1供给接收信号。ESD保护电路11经由线路13连接到变压器T1的绕组L1的中心抽头12。

[0074] 图4是用于说明图3所示的半导体集成电路1的配置示例的图。如图4所示，变压器T1的绕组L1的一端连接到端子(输入焊盘)TM1，并且变压器T1的绕组L1的另一端连接到端子(输入焊盘)TM2。绕组L1围绕中心轴螺旋地布置。此外，变压器T1的绕组L2也围绕与绕组L1共同的中心轴螺旋地布置。通过以此方式布置绕组，可以磁性地耦合绕组L1和L2。绕组L1

和L2可以由例如形成在半导体衬底上的螺旋电感器组成。

[0075] 附加地，如图4所示，ESD保护电路11经由线路13连接到变压器T1的绕组L1的中心抽头12。ESD保护电路11布置在绕组L1外部。绕组L1的中心抽头12的位置是距离绕组L1的一端的长度和距离另一端的长度相等的位置，即离端子TM1和TM2相等距离处的位置。

[0076] 注意，在本实施例中，中心抽头12的位置可以从距离绕组L1的一端的长度与距离绕组L1的另一端的长度相等的位置稍微偏移。更具体而言，当距离绕组L1的一端的长度与距离绕组L1的另一端的长度相等的位置为位置P_M并且从绕组L1的一端到另一端的长度为L时，中心抽头可以设置在距离位置$P_M \pm L \times 0.1$(即L的10％)的范围内。当中心抽头12的位置从位置P_M偏移时，ESD保护电路11的寄生电容将对差分信号具有影响，并且这造成流过变压器T1的差分信号的平衡丢失。然而，通过将中心抽头12的位置限制在上述范围内，ESD保护电路11的寄生电容对差分信号的影响可以保持在可允许范围内。

[0077] 图5是示出ESD保护电路11的示例的电路图。如图5所示，ESD保护电路11可以包括彼此并联连接的两个二极管群组D1和D2，其中每个二极管群组D1和D2都包括以多级连接的多个二极管。更具体而言，二极管群组D1的阳极侧连接到接地电位GND，并且二极管群组D1的阴极侧连接到线路13。此外，二极管群组D2的阴极侧连接到电源电位VDD，并且二极管群组D2的阳极侧连接到线路13。在图5所示的示例中，两个二极管串联连接以构成二极管群组D1和D2中的每一个。注意，串联连接的二极管的级数是设计因子，而不限于两级。而且，用于ESD保护电路的元件和电路的配置是设计因子，而不限于二极管。在图5所示的ESD保护电路11中，在由虚线指示的范围中形成多个二极管。这些二极管对应于图7的横截面图中所示的二极管(稍后给出图7的说明)。也就是，图5所示的ESD保护电路11通过电路图示意性地图示了图7的横截面图中所示的二极管。

[0078] 已经进入端子TM1和TM2的静电放电(电涌)穿过ESD保护电路和变压器T1的绕组L1的半部分并放电到接地(GND)或电源(VDD)节点。连接到端子TM1和TM2的绕组L1由具有大横截面面积的线路形成，以便减少变压器T1的损耗。因此，绕组L1具有足够大的横截面面积以便当ESD保护电路操作时电涌电流流过，并且因而将ESD保护电路的操作纳入考虑的特定设计改变是不必要的。

[0079] 如上所述，在根据本实施例的半导体集成电路1中，由于ESD保护电路11的数目可以是现有技术中的一半(也就是，一个)，所以ESD保护电路所需的面积可以是现有技术中的一半。因此，可以使包括ESD保护电路的半导体集成电路微型化。

[0080] 此外，当从天线ANT向一个端子TM1供给接收信号(RF信号)并且另一端子TM2接地时，施加到ESD保护电路11的接收信号的幅度将变为供给到端子TM1的接收信号的幅度的1/2。在这种情况下，这进一步减小了ESD保护电路11的面积。

[0081] 当pn结二极管用于ESD保护电路并且接收信号的期望幅度约为pn结二极管相对于0V的正向电压VF的三倍那么大时，用于图12所示的半导体集成电路113的ESD保护电路需要包括串联连接的四级pn结二极管的ESD保护电路(参见图13)。

[0082] 另一方面，在图3所示的半导体集成电路1中，施加到ESD保护电路11的接收信号的幅度将变为供给到端子TM1的接收信号的幅度的1/2。这是pn结电压的正向电路VF的1.5倍那么大。因此，在根据本实施例的半导体集成电路1中，ESD保护电路11可以具有包括串联连接的两级pn结二极管的配置(参见图5)。

[0083] 此外,当施加到ESD保护电路11的接收信号的幅度变为供给到端子TM1的接收信号的幅度的1/2时,可以获得与当ESD保护电路11的寄生阻抗翻倍时实现的效果相同的效果。由于ESD保护电路11并联连接到原始接收信号的信号路径,所以寄生阻抗越大,寄生阻抗引起的损耗的增加和寄生电容引起的频率特性的恶化中实现的减小越多。

[0084] [与现有技术相比:图6]

[0085] 图6是用于将根据本实施例的半导体集成电路1与根据现有技术的半导体集成电路113进行比较的图,并且示出了包括在每个半导体集成电路中的端子TM1和TM2、变压器T1和ESD保护电路的配置示例。注意,图6所示的组件对应于其实际尺寸。

[0086] 如图6所示,在现有技术中必需针对端子TM1和TM2中的每一个端子提供ESD保护电路111和112。在图6所示的配置示例中,ESD保护电路111和112分别布置在端子TM1和TM2与变压器T1之间。

[0087] 另一方面,在根据本实施例的半导体集成电路1中,由于ESD保护电路11连接到变压器T1的绕组L1的中心抽头12,所以ESD保护电路11的数目可以为一。因此,ESD保护电路的面积可以是现有技术中的一半。此外,在根据本实施例的半导体集成电路1中,施加到ESD保护电路11的接收信号的幅度将变为供给到端子TM1的接收信号的幅度的1/2。因此,构成ESD保护电路11的二极管的级数可以是现有技术中的一半。此外,在根据本实施例的半导体集成电路1中,由于构成ESD保护电路11的二极管的级数是现有技术中的一半,所以即使当二极管的尺寸减小到现有技术中的一半时,也可以将ESD放电时的寄生电阻保持为与现有技术中的相等。

[0088] 总而言之,在根据本实施例的半导体集成电路1中,ESD保护电路的面积总体可以是现有技术中的1/8(=1/2×1/2×1/2)。因此,如图6所示,ESD保护电路11可以布置在端子TM1和TM2之间。因此,可以减小半导体集成电路1的面积。

[0089] [特定配置示例(横截面):图7]

[0090] 图7是沿着图6的线VII-VII所取的横截面图以及变压器T1和ESD保护电路11的横截面图。根据本实施例的半导体集成电路1的组件形成在半导体衬底30上。变压器T1的绕组L1和L2形成在布线层31中。作为示例,绕组L1和L2的线宽约为5μm到20μm。线13连接到绕组L1的中心抽头12并被设置为从绕组L1侧延伸到ESD保护电路11。在垂直方向上延伸的线36连接到线13。

[0091] 此外,为了分隔开构成二极管的p型硅层33和p型硅层32,将n型硅层34设置在p型硅层32和p型硅层33之间。线36连接到n型硅层35。n型硅层35和p型硅层33形成pn结。线37连接到p型硅层33。也就是,一个二极管形成在线36和线37之间。线37经由形成在布线层31中的线而连接到另一二极管。以上述方式,ESD保护电路可以由如下多个二极管组成,该多个二极管以多级连接并形成在半导体衬底20上。

[0092] [半导体集成电路的另一配置示例:图8和图9]

[0093] 图8是用于说明根据本实施例的半导体集成电路1的另一配置示例的图。在根据本实施例的半导体集成电路1中,如图8所示,ESD保护电路11'可以布置在变压器T1的绕组L1(螺旋电感器)的中心部分处。在这种情况下,以与上述情况类似的方式,ESD保护电路11'经由线13'连接到变压器T1的绕组L1的中心抽头12。此外,ESD保护电路11'可以由彼此并联连接的两个二极管群组D1和D2组成,其中每个二极管群组D1和D2都包括以多级连接的多个二

极管。

[0094]　如图9所示的端子TM1和TM2、变压器T1和ESD保护电路11’对应于其实际尺寸。如上面说明的，在根据本实施例的半导体集成电路1中，ESD保护电路的数目可以为一，并且构成ESD保护电路的二极管的级数可以是现有技术中的一半。因此，可以充分地减少ESD保护电路的面积。这使得ESD保护电路11’能够被布置在如图9所示的绕组L1(螺旋电感器)的中心部分处，由此有效地利用芯片空间。

[0095]　如至此已经说明的，在根据本实施例的半导体集成电路1中，由于ESD保护电路11和11’连接到变压器T1的绕组L1的中心抽头12，所以ESD保护电路的数目可以是现有技术中的一半。因此，可以使半导体集成电路1微型化。

[0096]　〈第二实施例〉

[0097]　[半导体集成电路的配置：图10]

[0098]　接下来，如下说明第二示例。图10是示出根据第二实施例的半导体集成电路2的示例的电路图。图10所示的半导体集成电路2与第一实施例中说明的半导体集成电路1之间的差别在于，图10所示的半导体集成电路2构成发射器电路。由于其它配置与第一实施例中说明的半导体集成电路中的相同，所以将省略重复说明。

[0099]　如图10所示，根据本实施例的半导体集成电路2包括含端子TM3和TM4以及绕组L3和L4的变压器T2、电容性元件C2和发射放大器电路PA。这些组件例如集成到RF-IC或RF-SoC中。根据本实施例的半导体集成电路(发射器电路)2可以被用于例如包括在图2所示的通信装置101中的半导体集成电路113(在本情况中用于发射)。

[0100]　变压器T1和电容性元件C2用作用于发射放大器电路PA的输出阻抗匹配电路。可以根据发射放大器电路PA的输出阻抗的值来省略电容性元件C2。注意在图10中，未示出在发射放大器电路PA的先前级中的发射器电路。在发射放大器电路PA的先前级中的发射器电路与图2所示的半导体集成电路113中的相同。

[0101]　如图10所示，变压器T2的绕组L4的一端连接到端子TM3，并且变压器T2的绕组L4的另一端连接到端子TM4。输出信号从变压器T2供给到端子TM3和TM4。ESD保护电路21经由线23连接到变压器T2的绕组L4的中心抽头22。注意，由于端子TM3和TM4、变压器T2和ESD保护电路21的配置与第一实施例中说明的端子TM1和TM2、变压器T1和ESD保护电路11的配置相同，所以将省略重复说明。

[0102]　在本实施例中，以类似于上述情况的方式，由于ESD保护电路21连接到变压器T2的绕组L4的中心抽头22，所以ESD保护电路21的数目可以是现有技术中的一半(一个)。因而，可以使半导体集成电路微型化。

[0103]　此外，当发射信号(RF信号)从一端TM3输出到天线ANT并且另一端子TM4接地时，施加到ESD保护电路21的发射信号的幅度将变为从端子TM3输出的发射信号的幅度的1/2。因此，由于可以减少构成ESD保护电路11的二极管的数目，所以可以进一步减少ESD保护电路11的面积。

[0104]　此外，当施加到ESD保护电路21的接收信号的幅度变为1/2时，可以实现与当ESD保护电路21的寄生阻抗翻倍时实现的效果相同的效果。由于ESD保护电路21并联连接到原始发射信号的信号路径，所以寄生阻抗越高，由寄生阻抗引起的损耗的增加以及由寄生电容引起的频率特性的恶化中可以实现越多的减少。

[0105] 〈第三实施例〉

[0106] [半导体集成电路的配置:图11]

[0107] 接下来,如下说明第三实施例。图11是示出根据第三实施例的半导体集成电路3的电路图。图11所示的半导体集成电路3形成收发器电路。也就是,图11所示的半导体集成电路3具有将第一实施例中说明的半导体集成电路1(接收器电路)与第二实施例中说明的半导体集成电路2(发射器电路)进行组合的配置。

[0108] 如图11所示,半导体集成电路3包括变压器T1、电容性元件C1和低噪声放大器电路LNA,变压器T1包括端子TM1和TM2以及绕组L1和L2。变压器T1和电容性元件C1用作用于低噪声放大器电路LNA的输入阻抗匹配电路。电容性元件C1可以根据低噪声放大器电路LNA的输入阻抗的值来省略。注意在图11中,未示出在低噪声放大器电路LNA的后续级中的接收器电路。

[0109] 如图11所示,变压器T1的绕组L1的一端连接到端子TM1,并且变压器T1的绕组L1的另一端连接到端子TM2。接收信号经由端子TM1和TM2被供给到变压器T1的绕组L1。ESD保护电路11经由线13连接到变压器T1的绕组L1的中心抽头12。

[0110] 此外,半导体集成电路3包括变压器T2、电容性元件C2和发射放大器电路PA,该变压器T2包括端子TM3和TM4以及绕组L3和L4。变压器T2和电容性元件C2用作用于发射放大器电路PA的输出阻抗匹配电路。根据发射放大器电路PA的输出阻抗的值,可以省略电容性元件C2。注意在图11中,未示出发射放大器电路PA的先前级中的发射器电路。

[0111] 如图11所示,变压器T2的绕组L4的一端连接到端子TM3,并且变压器T2的绕组L4的另一端连接到端子TM4。输出信号从变压器T2供给到端子TM3和TM4。ESD保护电路21经由线23连接到变压器T2的绕组L4的中心抽头22。

[0112] 图11所示的这些组件例如被集成到RF-IC和RF-SoC中。根据本实施例的半导体集成电路(收发器电路)3可以被用于例如包括在图2所示的通信装置101中的半导体集成电路113。注意,由于根据本实施例的半导体集成电路3的细节与第一实施例和第二实施例中说明的半导体集成电路1和2的细节相同,所以将省略重复说明。

[0113] 如在与上述情况类似的方式中那样,可以使得根据本实施例的半导体集成电路3微型化。

[0114] 注意,尽管上面已经说明了将根据本实施例的半导体集成电路应用于智能仪表,但是根据本实施例的半导体集成电路可以应用于除了智能仪表之外的包括通信电路的装置。

[0115] 本领域普通技术人员可以根据需要组合第一实施例至第三实施例。

[0116] 尽管已经就若干实施例描述了本实用新型,但本领域技术人员将认识到,本实用新型可以在所附权利要求的精神和范围内进行各种修改的情况下进行实施,并且本实用新型并不限于上述示例。

[0117] 此外,权利要求的范围不受上述实施例限制。

[0118] 而且注意,申请人的意图在于涵盖所有权利要求要素的等同物,即使后来在专利申请过程中对该权利要求要素进行了修改亦是如此。

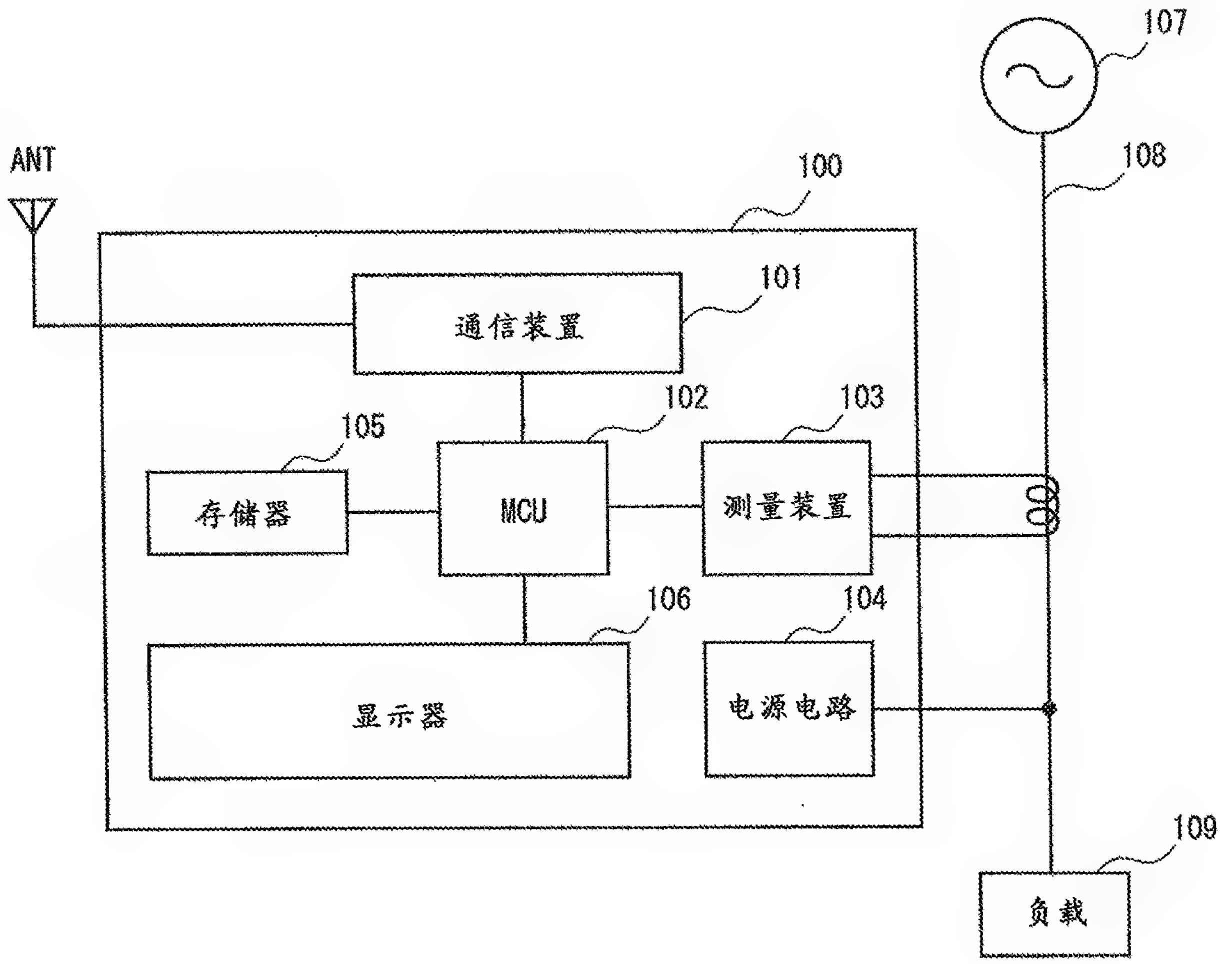
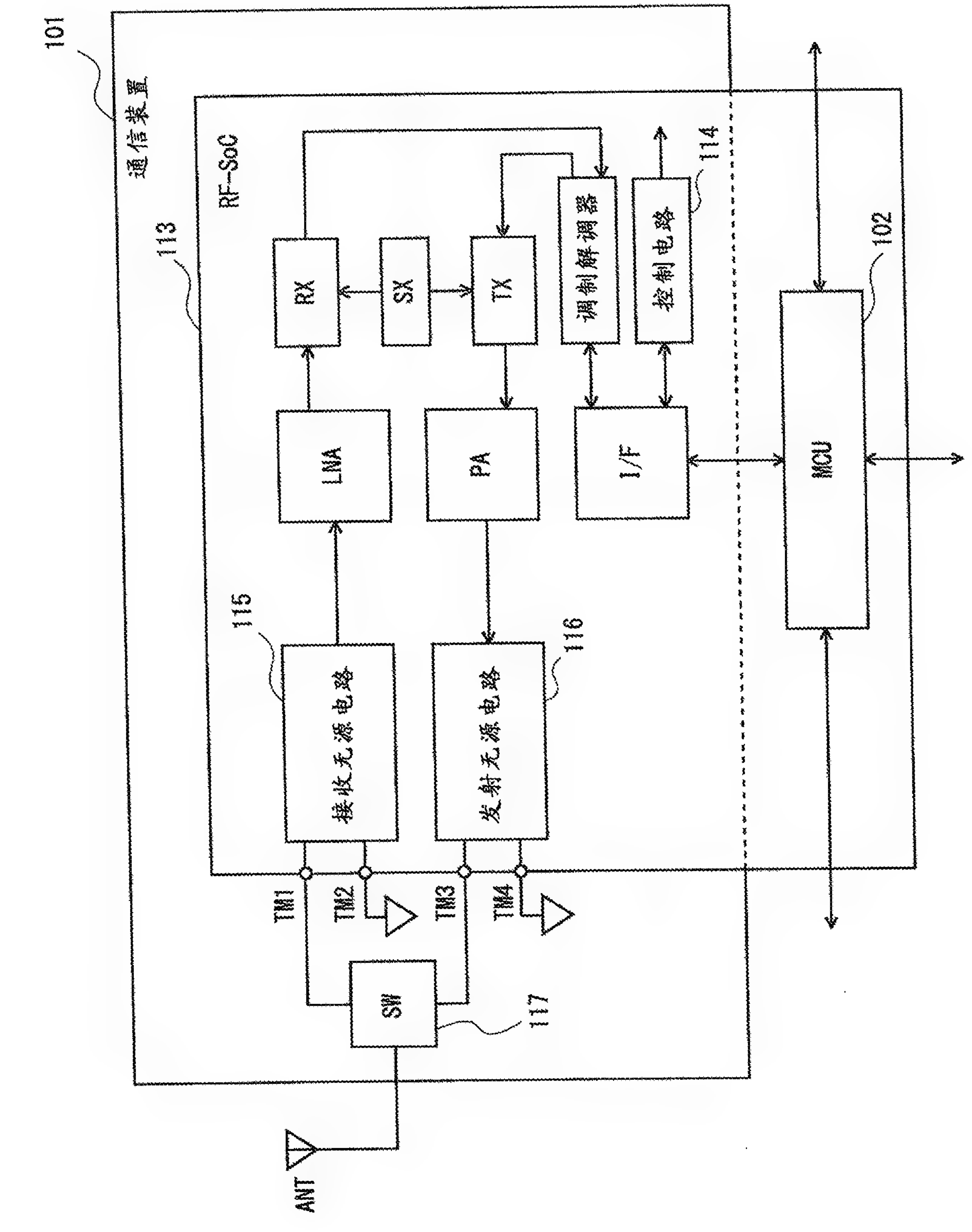

ANT
100
通信装置
101
102
103
105
存储器
MCU
测量装置
106
104
显示器
电源电路
107
108
109
负载

图1



101
通信装置
RF-SoC
113
RX
SX
TX
调制解调器
控制电路
114
LNA
PA
I/F
MCU
102
115
116
接收无源电路
发射无源电路
TM1
TM2
TM3
TM4
SW
117
ANT

图2

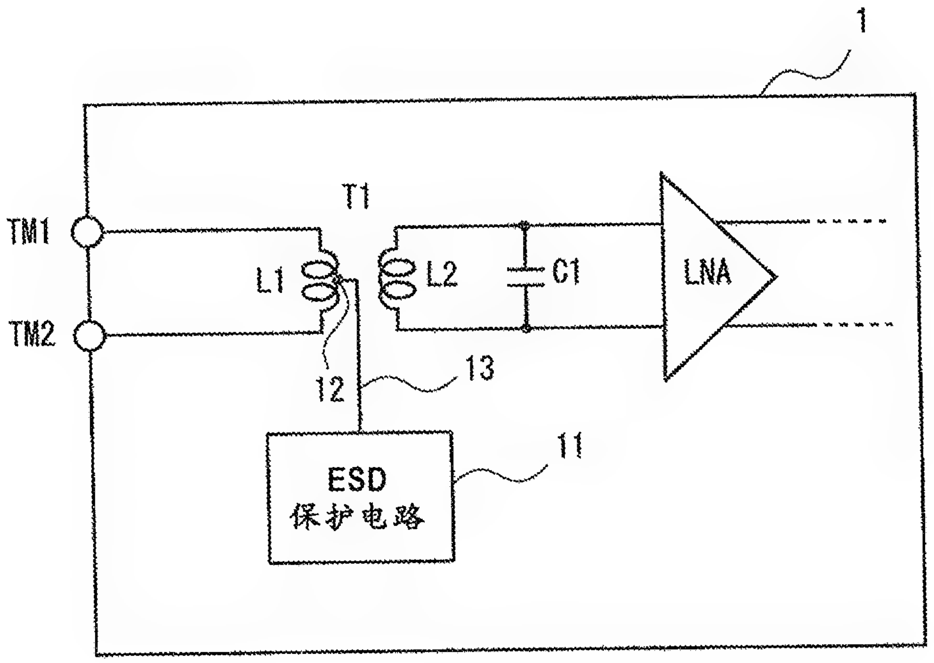


图3

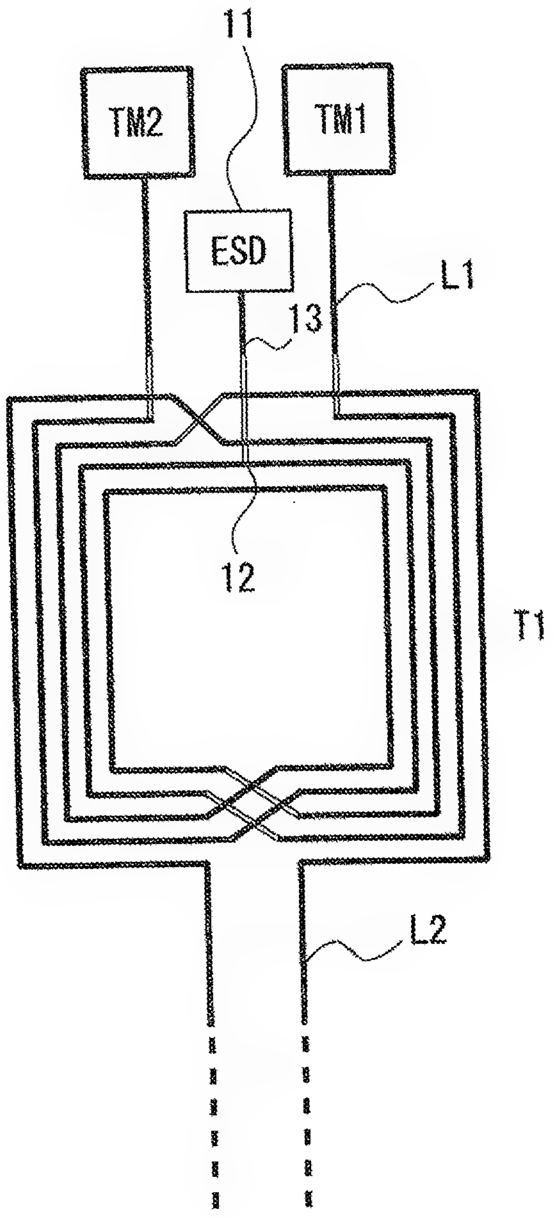


图4

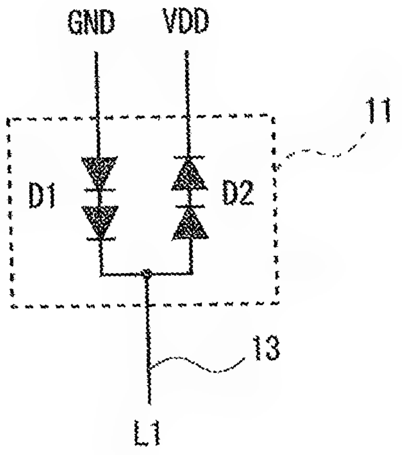


图5

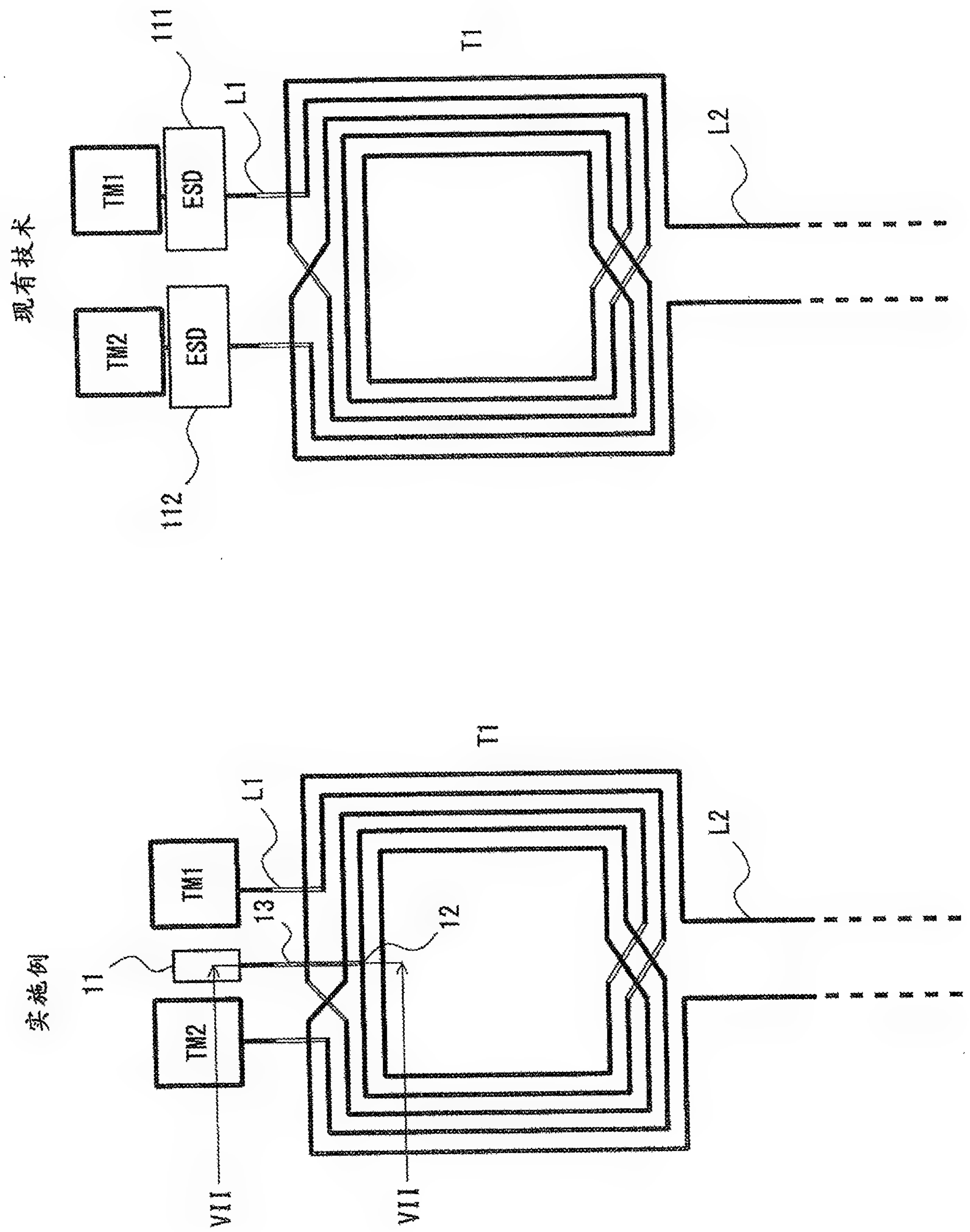

现有技术
TM1
TM2
ESD
ESD
111
112
L1
L2
T1
实施例
TM1
TM2
11
12
13
L1
L2
T1
VII
VII

图6

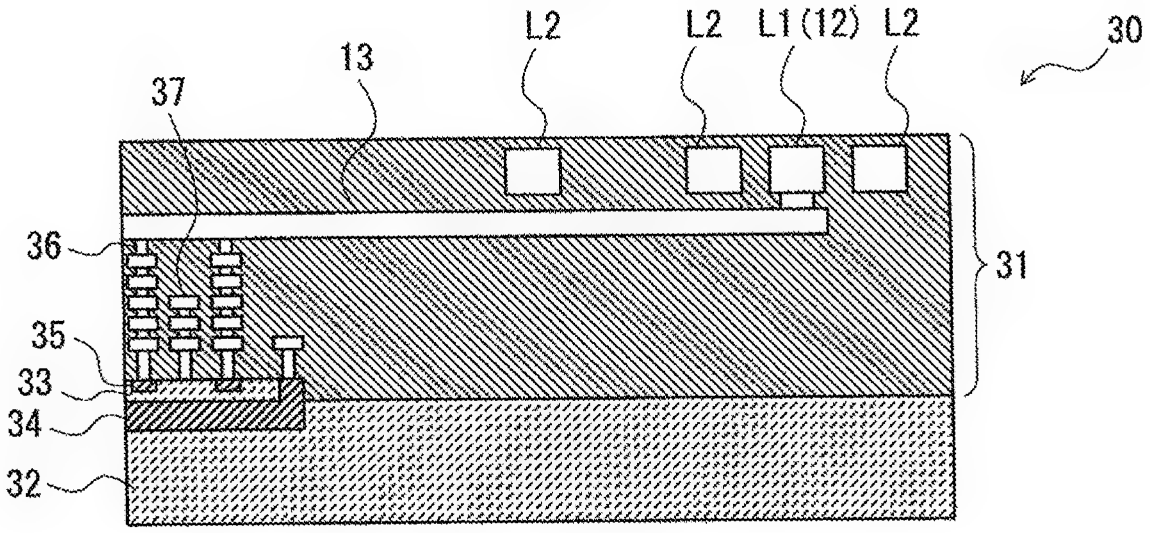


图7

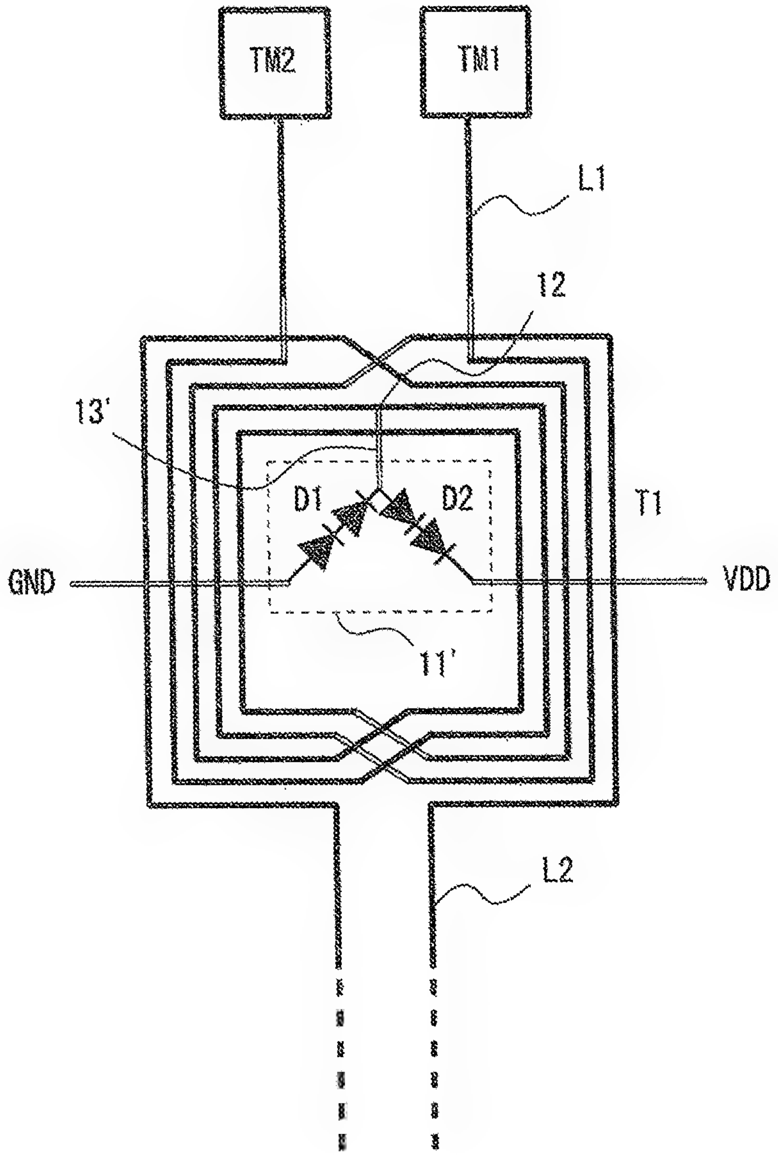


图8

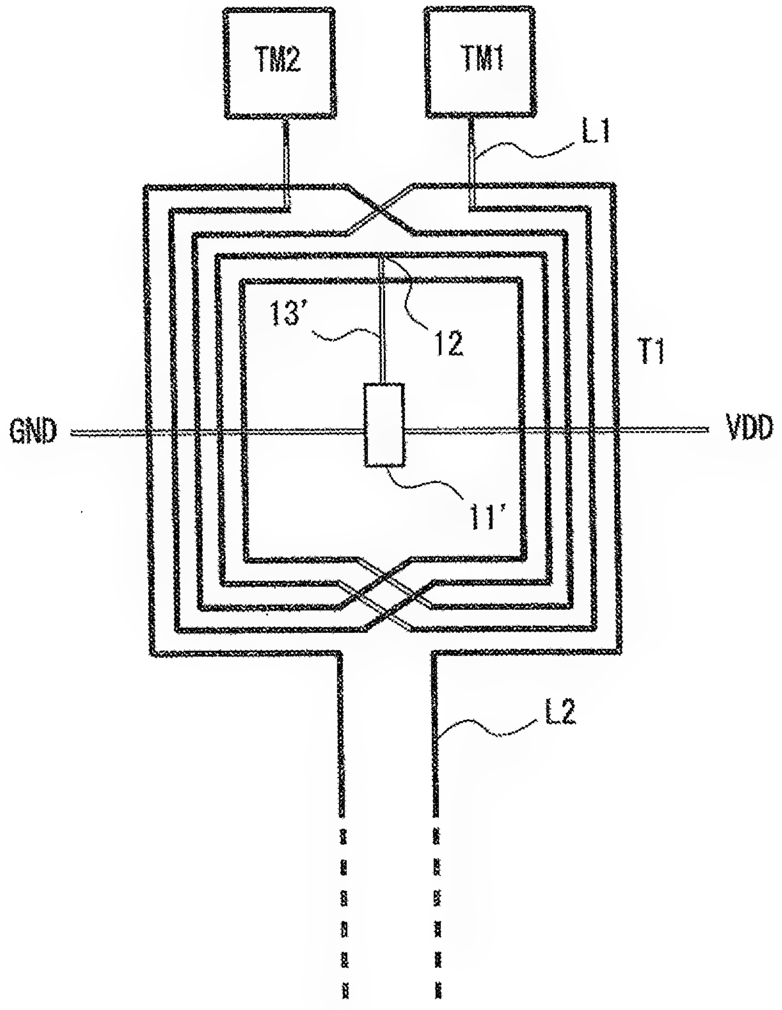


图9

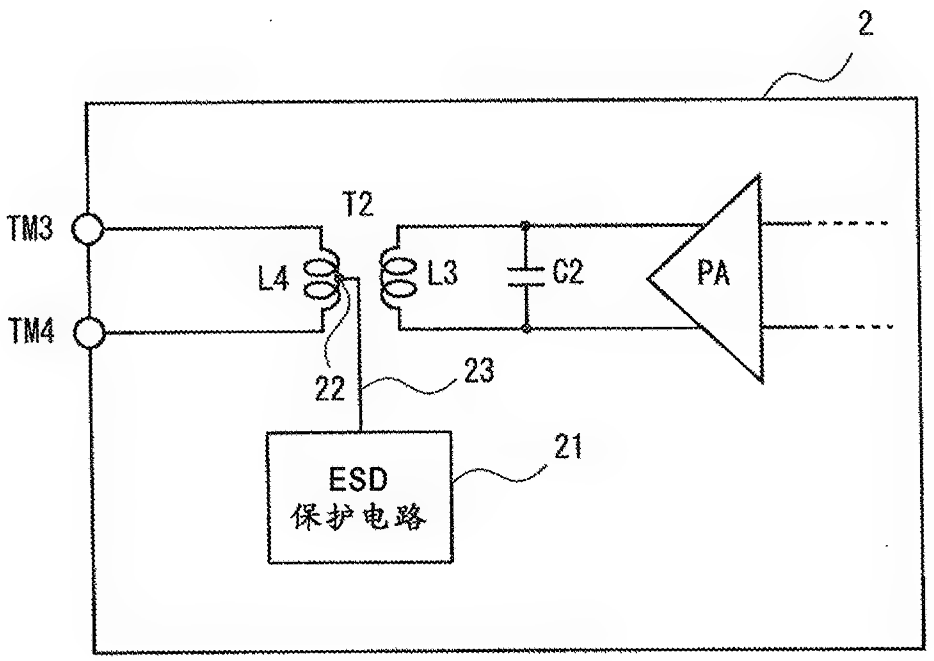


图10

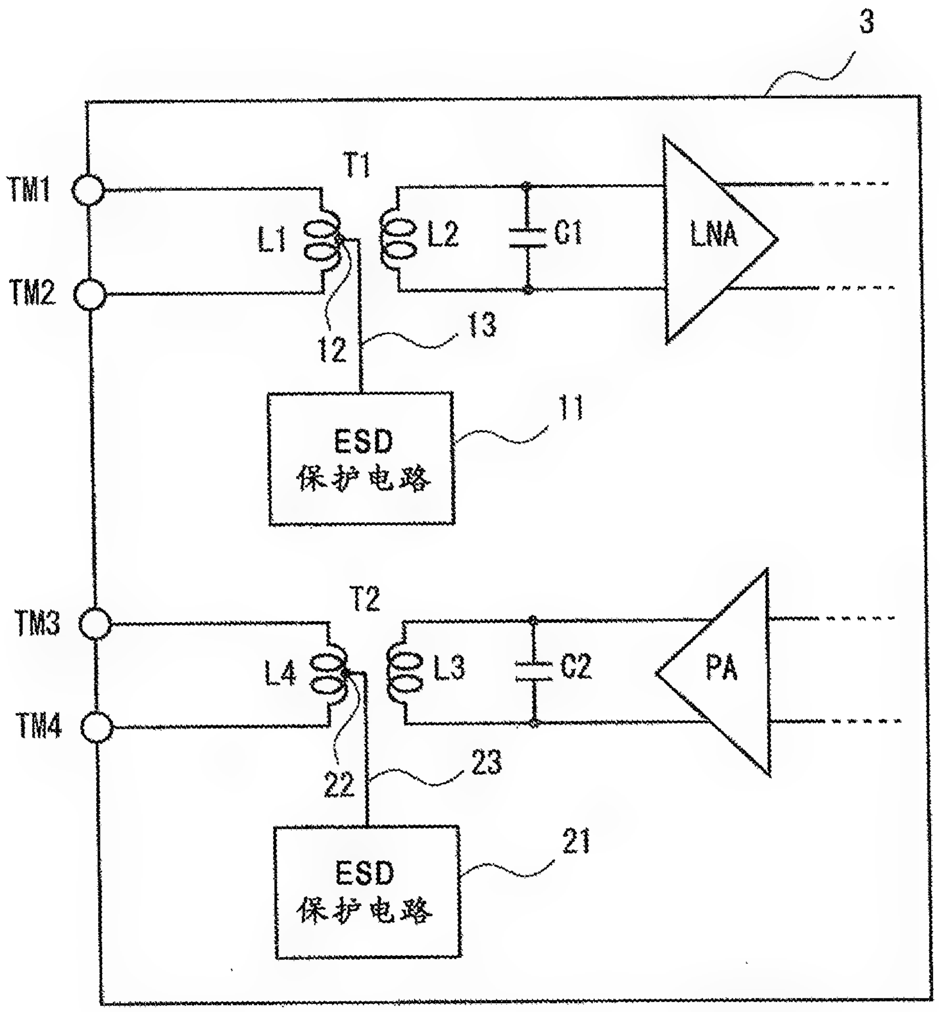

3
TM1
TM2
TM3
TM4
T1
L1
L2
C1
LNA
12
13
ESD
保护电路
11
T2
L4
L3
C2
PA
22
23
ESD
保护电路
21

图11

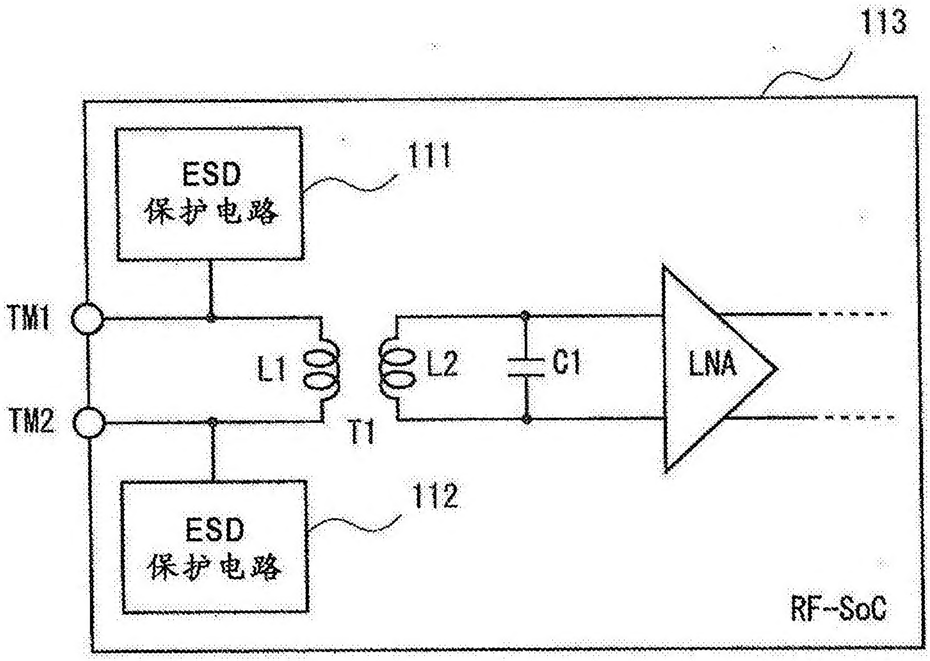


图12

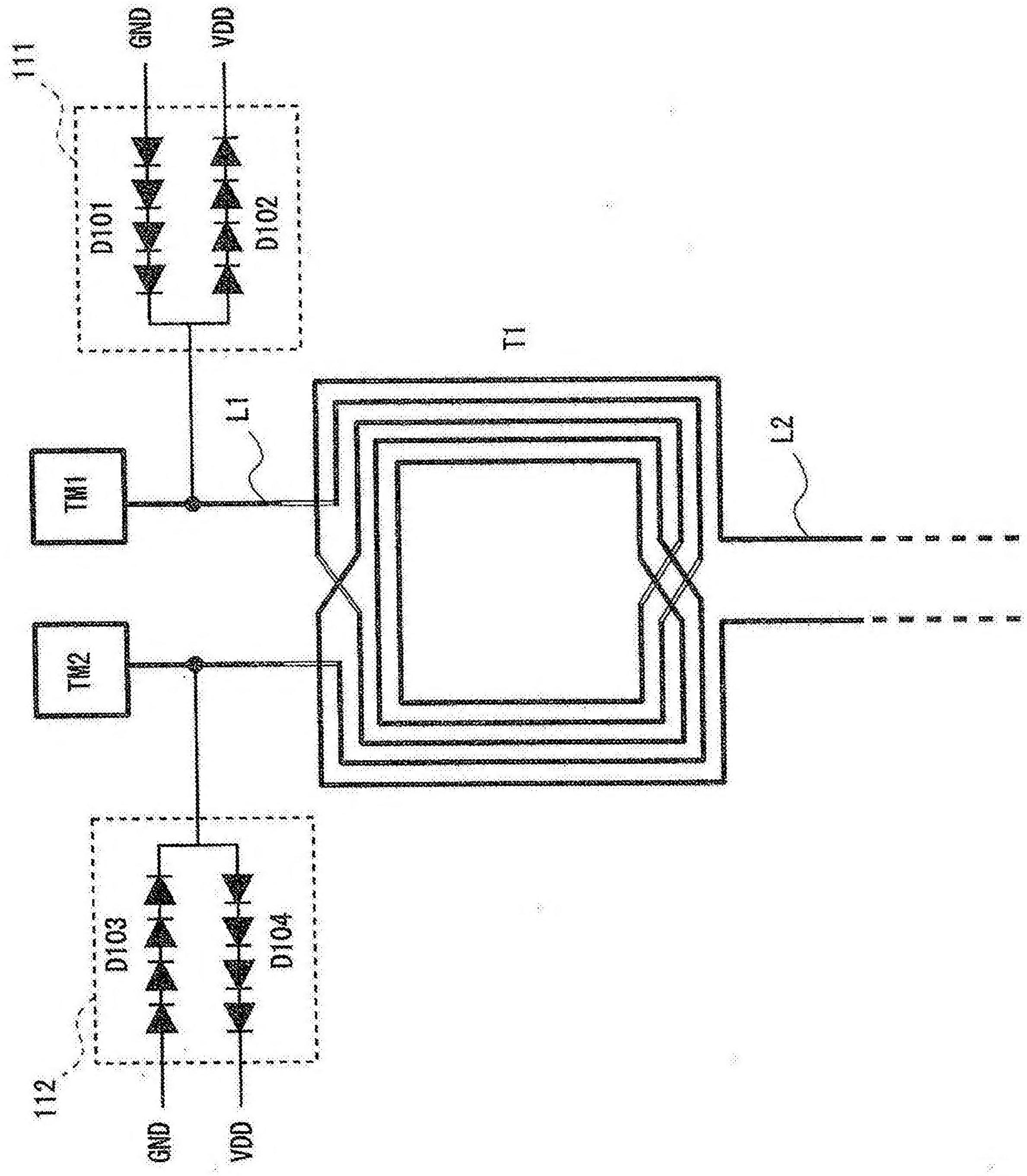


图13

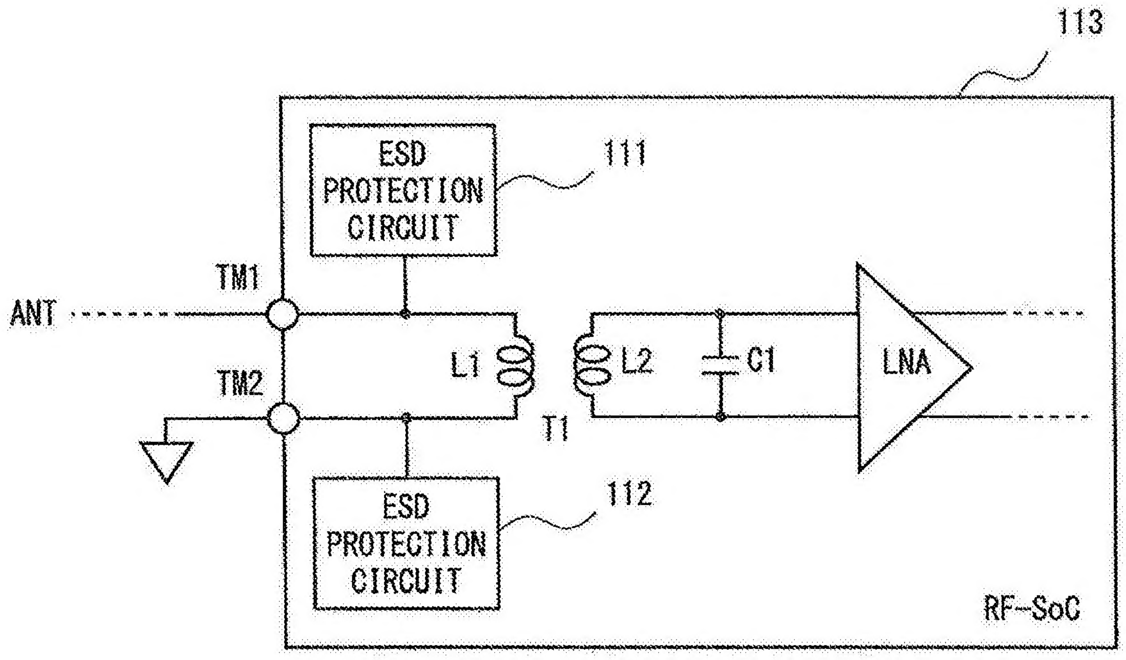

113
ESD
PROTECTION
CIRCUIT
111
TM1
ANT
TM2
L1
L2
C1
LNA
T1
ESD
PROTECTION
CIRCUIT
112
RF-SoC

图14

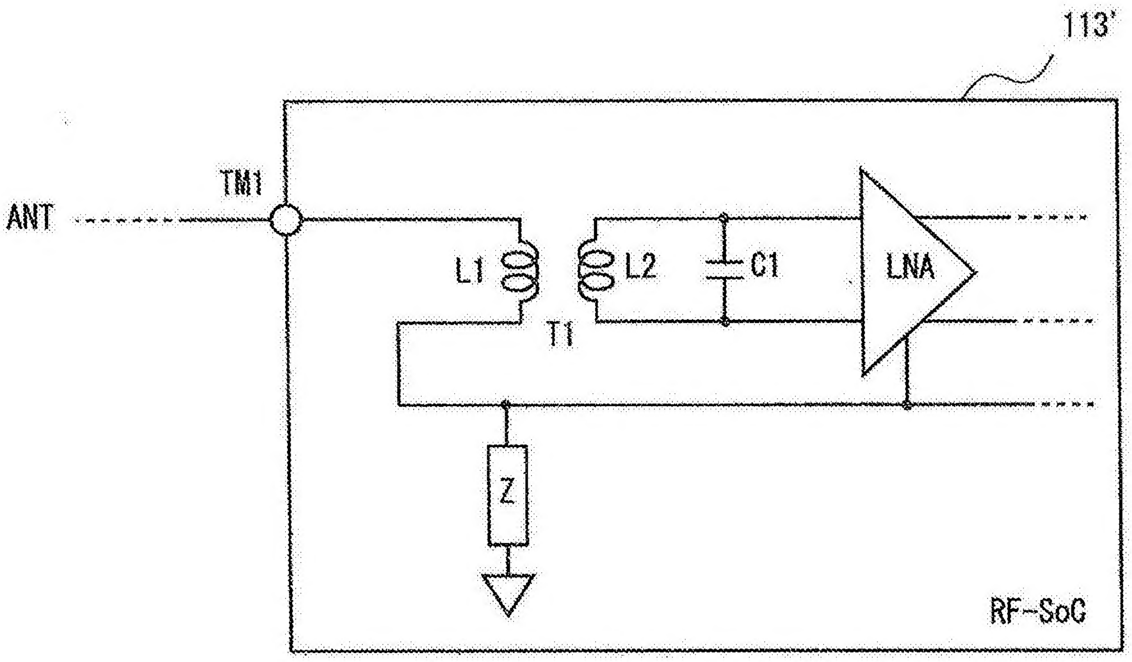

113'
TM1
ANT
L1
L2
C1
LNA
T1
Z
RF-SoC

图15

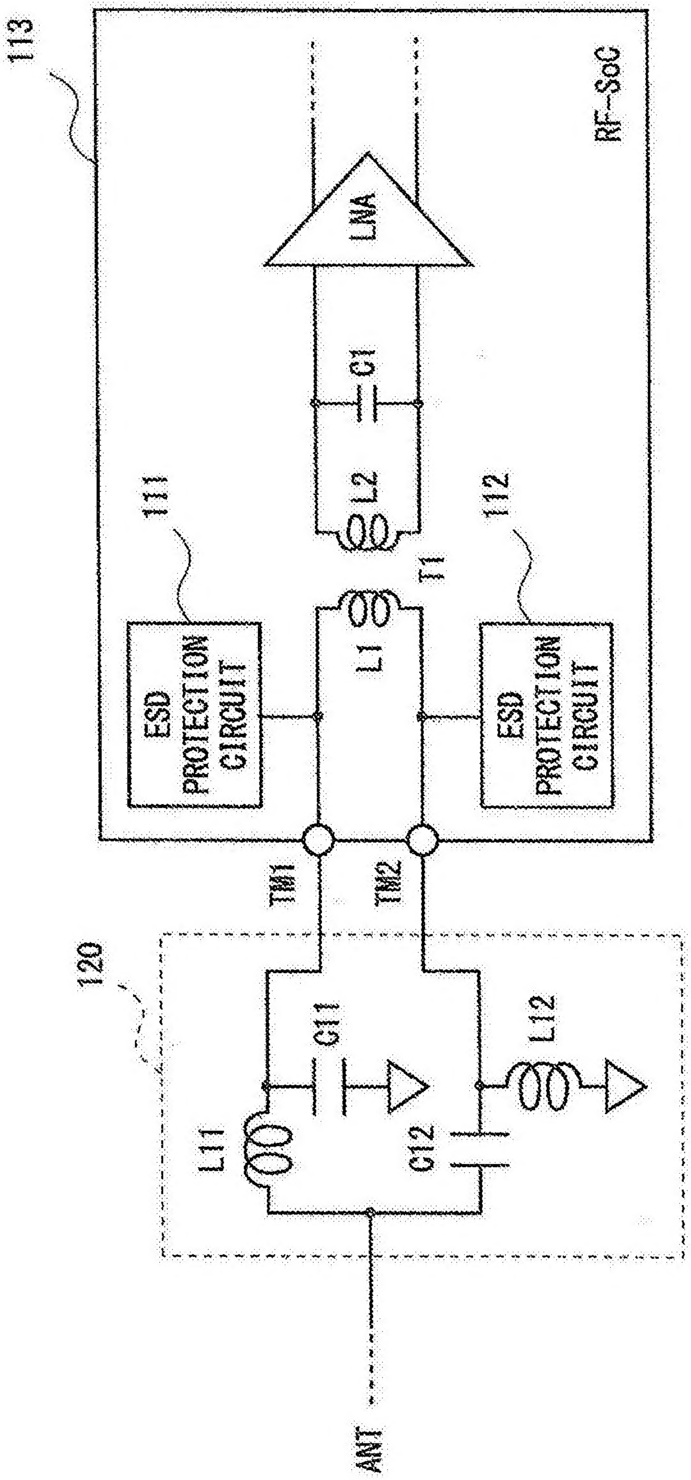

113
RF-SoC
LNA
C1
L2
111
112
T1
L1
ESD PROTECTION CIRCUIT
ESD PROTECTION CIRCUIT
TM1
TM2
120
C11
L12
L11
C12
ANT

图16